

線形ページアドレス予測による TLB プリローディング

請園智玲 (北陸先端大)・田中清史 (北陸先端大, 科学技術振興事業団)

1 はじめに

近年マイクロプロセッサの動作速度の向上や CPI の減少, メモリ容量の増加により動作させるプログラムのワーキングセットサイズが増加し続けている。このため, プロセッサが通常備えている TLB リーチでは増加するワーキングセットに対応できなくなる。TLB リーチを拡大させるために TLB エントリ数やページサイズを増加させる (i.e. superpage [1, 2]) ことは, TLB アクセス時間の増大あるいはメモリの断片化という非効率を引き起こす。本稿では将来使用されるページを予測し, あらかじめ TLB にセットしておくことによって TLB ミス回数を減少させる方式を提案する。

2 線形ページアドレス予測

動的分岐予測に代表される動的予測機構は, プログラム実行中に履歴情報を記録しその情報を元に予測を行うが, 本研究における予測機構はプログラムに潜在するページアクセス傾向にしたがって予測を行う。このことから履歴情報を格納する必要がなく, 少量のハードウェアで実現可能である。

傾向的予測

実行プログラムの構造上, プログラムテキスト, スタティック / ダイナミックデータおよびスタック領域はそれぞれ連続する仮想アドレス空間に存在する。最も明確なページアクセス傾向は逐次的にアクセスされる場合である。プログラムテキストは分岐, ジャンプ命令の場合を除いて命令サイズ分インクリメントされる仮想アドレスでアクセスされる。データアクセスの場合, 配列形式で定義されたデータは逐次的に参照される傾向がある。この逐次的アクセスに対して, 最後にヒットしたページアドレスの周囲のページアドレスを予測の対象とする。これを線形ページアドレス予測とする。

線形ページアドレス予測器

線形ページアドレス予測を実現するハードウェアは, 最後にヒットしたページアドレスの ± 1 のページテーブルエントリ (PTE) をページテーブルからプリロードするものである。線形ページアクセスが発生した場合, この予測器により従来の TLB で必ずミスする初回ページアクセスのほとんどがヒットとなる。なお, 命令アクセスとデータアクセスで異なる予測方針を適用可能とするため, 命令アクセスとデータアクセスで独立した TLB を用意する。

予測バッファ

予測に基づきプリロードされた使用不確定の PTE が TLB 内のアクセス頻度の高い PTE を追い出すのを回避するために, プリロードした PTE を専用のバッファに格納する。バッファと TLB の両方がミスした場合にのみ TLB にエントリが格納される。この方式により, 実際の線形ページアクセスに先行して予測器がプリロードを完了する限り, TLB 内では最初のミスに相当する 1 エントリを使用するのみで大規模データセットに対応可能である。この 1 エントリの情報を PPTE (Pointer Page Table Entry) と呼ぶ。線形予測が的中しない場合は TLB 内の全ての PTE が PPTE となり, 従来の TLB と同等の性能となる。

3 非線型ページアクセス対応

プログラムテキストに対するページアクセスは分岐, ジャンプによって線形アクセスとならない状況が起こり, 一方データアクセスに関してはデータ構造とそのアクセス方法はプログラム依存であるため, 提案した線形予測機構が機能しない場合がある。本節で完全線形ページアクセスの制限を緩和する 2 つの手法を提案

する。

Wide Range Support

Wide Range Support (WRS) は予測の範囲を拡大する非線形アクセス対応手法である。線形予測は ± 1 のプリロードであった。WRS では $\pm 2, \pm 3$ とプリロードする PTE を増やすことにより, 即値分岐など最後にヒットしたページアドレスから近いページアクセスが発生する場合に TLB ミスを起こさない。また, プログラムのブロック同士や逐次アクセスされるデータセット同士が WRS の予測範囲に収まるときに, PPTE の共通化により TLB 内の使用エントリ数が減少する。

予測範囲の過度の拡大によりプリロードのためのメモリアccessが多発し, これによりメモリバスが占有される可能性がある。プリロードする全エントリのサイズがメモリへの一回のバーストアクセスに収まれば WRS は有効であるといえる。

Multiple Operand Support

Multiple Operand Support (MOS) は仮想アドレス空間上の遠く離れたページ同士が連続してアクセスされるような非線型アクセスへの対応手法である。数ページに跨るデータセット同士の演算などオペランド同士が離れたページにあるとき, 予測バッファに格納された予測情報はオペランドのアクセス毎に破棄される。これを防ぐために MOS は予測機構を並列に配置し, 一度に複数の予測を実現する。この際, プリロードによるメモリアccess数の増加とバッファアクセス遅延の増大が顕著にならない程度の並列度に抑えることが重要である。WRS と MOS を統合した予測バッファ構成を図 1 に示す。

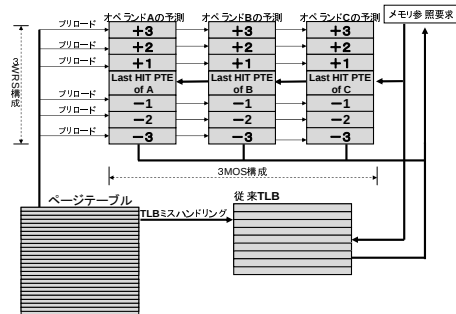


図 1: WRS と MOS を統合した予測バッファ構成

4 まとめ

本稿では線形ページアクセスに対応するページアクセス予測機構を提案し, 更に非線型アクセスの場合に対応可能な予測機構の構成を提案した。線形アクセスされるプログラムテキストおよび大規模データセットは全て 1 ページと見なされ, TLB リーチ不足による多量の TLB ミスの発生を抑える。予測機構の効果により TLB エントリ数が削減可能となり, ハードウェア量およびアクセス遅延の短縮, 並びに予測的中率はページサイズに依存しないため, ページサイズの縮小によりメモリフラグメンテーションの抑制およびメモリ保護の細分化が可能となる。

参考文献

- [1] M.Talluri, S.Kong, M.D.Hill and D.A.Patterson: Trade-offs in Supporting Two Page Sizes ISCA 1992.
- [2] M.Swanson, L.Stoller and J.Carter: Increasing TLB Reach Using Superpages Backed by Shadow Memory. ISCA 1998.